

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-283404

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 01 L 21/316				
21/266				
21/318	B 8518-4M 9274-4M 8617-4M	H 01 L 21/ 94 21/ 265	A M	
審査請求 未請求 請求項の数1(全4頁) 最終頁に続く				

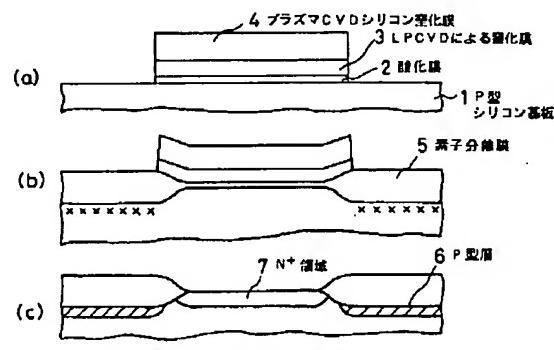
(21)出願番号	特願平4-77062	(71)出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成4年(1992)3月31日	(72)発明者	井田 次郎 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(74)代理人	弁理士 鈴木 敏明

(54)【発明の名称】 半導体装置の素子分離領域製造方法

(57)【要約】

【目的】 半導体装置の素子分離膜下のチャネルストップ層が素子形成領域に拡散しないようにするとともに、チャネルストップ層形成用イオン注入のマスクを自己整合的に形成する。

【構成】 この発明は、半導体装置の素子分離領域形成にあたって、LPCVD法によって堆積したシリコン窒化膜3上に、プラズマCVD法により低ストレス・シリコン窒化膜4を厚く堆積し、その後シリコン窒化膜をパターニングして熱酸化し素子分離膜5を形成し、その後厚いシリコン窒化膜をマスクとしてチャネル・ストップ・イオンを素子分離膜5を通して注入する。



1

【特許請求の範囲】

【請求項1】シリコン基板の一主面上の、素子形成領域に、比較的薄い酸化膜を形成する工程と、前記比較的薄い酸化膜上に減圧化学気相成長法(LPCVD)により比較的薄いシリコン塗化膜を形成する工程と、前記比較的薄いシリコン塗化膜上に、プラズマ化学気相成長法により、低ストレスな厚いシリコン塗化膜を形成する工程と、前記比較的薄いシリコン塗化膜と、低ストレスな厚いシリコン塗化膜を耐酸化マスクとして、シリコン基板を熱酸化し厚い素子分離膜を形成する工程と、前記比較的薄い塗化膜と、低ストレスな厚いシリコン塗化膜をマスクとして、前記厚い素子分離膜を通して前記シリコン基板と同一導電型の不純物をイオン注入しチャネル・ストップ領域を形成する工程とを順次施すことを特徴とする半導体装置の素子分離領域形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造工程における素子分離領域の製造方法に関するものである。

【0002】

【従来の技術】従来の素子分離領域の製造方法を、図3を用いて説明する。

【0003】図3は、通常使用されているLOCOS法による素子分離膜の製造方法を示すものである。以下図に従って説明する。P型シリコン基板21に熱酸化膜22を300Å程度形成し更にLPCVD(Low Pressure Chemical Vapor Deposition)法によりシリコン塗化膜23を200Å程度堆積する。熱酸化膜22とシリコン塗化膜23をバーニングした後、全面にチャネル・ストップ・イオン注入としてボロン(B^+)を、例えば $30\text{keV} \times 10^{13}/\text{cm}^2$ の条件で注入する。(以上図3a))

次にシリコン基板を酸化性雰囲気中で 1000°C 、120分程度の高温熱処理をし 5000\AA 程度の素子分離膜(所謂フィールド酸化膜)24を形成する。(図3b))

次にシリコン塗化膜23を熱リン酸中で除去し、熱酸化膜22をフッ酸系の薬液で除去する。その後、露出したシリコン表面上にトランジスター、PN接合ダイオード等のデバイスを形成していく。(図3c))

例としてN⁺ P接合を示す。これはトランジスターのソース・ドレイン領域にも対応する。方法としては、シリコン基板21全面にヒ素(A_s⁺)もしくはリン(P⁺)を、イオン注入により $4 \times 10^{15}\text{ions/cm}^2$ 、 30keV の条件で注入し、その後、 900°C 、窒素雰囲気中で、20分程度熱処理することによりN⁺ P型接合が形成される。

【0004】しかし以上述べた方法では、特に素子分離

2

膜24の端部(図3d)のA部)で、N⁺領域と、チャネル・ストップ・イオン注入により形成された濃度の高いP型領域26が接触し接合容量が大きくなるという問題点があった。これはチャネル・ストップ・イオン注入後に、高温の熱処理が入るため、必然的にチャネル・ストップ層である濃度の高いP型領域26が素子分離膜24の外側、即ちデバイス形成用シリコン基板中へ拡散するためである。

【0005】そこで最近では、1990年IEDM P. 647~P. 650に示される様に、チャネル・ストップ・イオン注入を、素子分離膜形成後に行なう方法が提案されている。以下、図2を用いて説明する。まずP型シリコン基板11に熱酸化膜12を300Å程度形成し、更にLPCVD法によりシリコン塗化膜13を2000Å程度堆積する。熱酸化膜12とシリコン塗化膜13をバーニングした後、チャネル・ストップ・イオン注入を行なわずに、シリコン基板を酸化性雰囲気中で、 1000°C 、120分程度の高温熱処理を行ない 1000\AA 程度の素子分離膜14を形成する。(図2a))

次にシリコン塗化膜13を熱リン酸中で除去し、熱酸化膜12をフッ酸系の薬液で除去する。その後、全面にレジストを塗布し露光現像してレジスト・パターン15を得る。この時レジスト・パターン15の端部は、素子分離膜の端部から所定の距離だけ離して形成される。次いで、レジスト・パターン15をマスクにして、チャネル・ストップ・イオン注入としてボロン(B^+)を加速エネルギー 220keV 、ドーズ量 $2 \times 10^{13}\text{ions/cm}^2$ の条件でイオン注入を行なう。すると注入イオンは、素子分離膜14をつき抜けて素子分離膜下に注入される。(図2b))

次にレジスト・パターン15を除去する。例えばN⁺ P接合を形成するのであればヒ素(A_s⁺)もしくはリン(P⁺)をイオン注入により $4 \times 10^{15}\text{ions/cm}^2$ 、 30keV の条件で注入し、その後 900°C 、窒素雰囲気中で40分程度の熱処理をすることによりN⁺ P接合が形成されるとともに、チャネル・ストップ・イオンも活性化されチャネル・ストップP型層16となる。図2c)から明らかな様に、素子分離膜14を形成する際の高温熱処理を行った後に、チャネル・ストップ・イオン注入をしていることと、チャネル・ストップ・イオン注入のマスクであるレジスト・パターン15の端部を、素子分離膜14の端部から距離だけ離しているので、N⁺領域17とP型層16は接触することができず接合容量も低く抑えることができる。

【0006】

【発明が解決しようとする課題】しかしながら前述した方法では、ホトリソグラフィー法を用いてチャネル・ストップ・イオン注入を行う場所を限定しているため、合わせず等が生じ易いという問題点があった。合わせず

れが距離し以上となると、前記N⁺領域17と前記P型層16は接触してしまい接合容量が大きくなってしまう。

【0007】また工程数も、①レジスト塗布②ホトマスク合わせ③露光④現像⑤レジスト除去5工程が増えるため、コストアップや歩留りの低下などの問題点があり技術的に満足できるものは得られなかつた。

【0008】

【課題を解決するための手段】この発明は、半導体装置の素子分離領域形成にあたって、LPCVD法によって堆積したシリコン塗化膜上にプラズマCVD法により低ストレス・シリコン塗化膜を厚く堆積し、その後シリコン塗化膜をパターニングし酸化性雰囲気中で高温の熱処理を施して選択的に素子分離膜を形成し、その後厚いシリコン塗化膜をマスクとしてチャネル・ストップ・イオンを素子分離膜を通して注入するようにしたものである。

【0009】

【作用】この発明によれば、高温の熱処理を施した後に、厚いシリコン塗化膜をマスクにチャネル・ストップ・イオン注入を行う様にしたので自己整合的にチャネル・ストップ拡散層を形成することができる。従ってホトリソグラフィー法による合わせずれや、工程の増加によるコストアップ歩留りの低下といった問題点を解決できるのである。

【0010】

【実施例】図1は本発明の実施例を示す製造方法の工程断面図である。まずP型シリコン基板1を酸化性雰囲気で熱処理し300Å程度の酸化膜2を形成する。その後、LPCVD法によりシリコン塗化膜3を1500Å程度堆積する。引き続きプラズマCVD法により低ストレス・シリコン塗化膜4を8000Å程度堆積する。低ストレス・シリコン塗化膜は、例えばシラン、アンモニア、窒素の流量比を各々140/60/1500SCCMとし、圧力を6.5Torrと上げRFパワーを2.5W/cm²と下げ温度約400°Cの条件下で膜堆積を行なえば、ストレス 5×10^8 dyne/cm²程度のシリコン・リッチなシリコン塗化膜が得られる。本発明では以上の様に低ストレス・シリコン塗化膜を堆積するようにしたので、膜厚を8000Åと厚くしても、膜ストレスによるクラックや欠陥が入るのを防止できるのである。その後、通常のフォトリソ法及びエッティング法により素子形成領域上にのみ酸化膜2及びシリコン塗化膜3、4を残置させる。(図1a))

次にウェット酸化雰囲気中で、1000°C90分程度の熱処理を施してシリコン基板を酸化させると素子分離領域上に選択的に5000Å程度の素子分離膜5が形成さ

れる。

【0011】次にチャネル・ストップ・イオンとなるボロン(B⁺)を、加速エネルギー220KeV、ドーズ量 2×10^{13} ions/cm²の条件で、低ストレス・シリコン塗化膜4をマスクに全面にイオン注入する。この時ボロン(B⁺)の飛程距離は5000Å程度となり素子分離膜下にのみ選択的にボロン(B⁺)が注入される。厚いシリコン塗化膜がある領域は、シリコン塗化膜中でボロン(B⁺)がストップされるためシリコン基板中には注入されない。また素子分離膜5の端部はシリコン塗化膜3の下にも一部潜り込んで形成される(所謂バーズ・ピーク)ため、ボロン(B⁺)は素子分離膜5の端部より素子分離領域側に所定距離ずれて注入される。(図1b))

次に熱リン酸により厚いシリコン塗化膜4と下層のシリコン塗化膜3を除去し、300Å程度の酸化膜2をフッ酸系の溶液で除去する。その後、露出されたシリコン基板上にトランジスターのPN接合等を形成する。図では通常の方法でN型不純物をイオン注入してN⁺P接合を作成した場合を示している。(図1c))

以上シリコン基板がP型でチャネル・ストップ・イオンがP型の例を用いて説明したが、それらの導電型がN型であっても良いことは言うまでもない。

【0012】

【発明の効果】以上詳細に説明したように、この発明の製造方法によれば、厚いシリコン塗化膜が、素子分離膜の端部と重なっておりその厚いシリコン塗化膜をマスクにして自己整合的にチャネル・ストップ・イオン注入を行なうようにしたので、ホトリソの合わせずれによる接合容量の増大や、工程数の増加によるコストアップ、歩留り低下などがない。

【0013】更に自己整合的にチャネル・ストップ層を形成できることから半導体装置の高集積化に対しても使用可能である。

【図面の簡単な説明】

【図1】本発明の製造方法を示す工程断面図

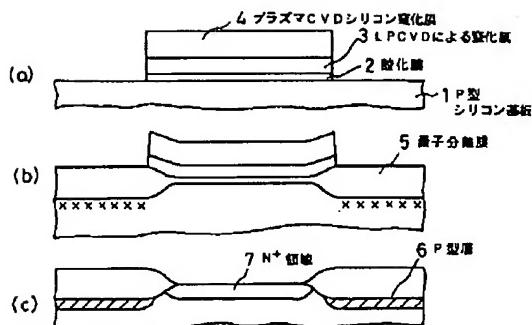
【図2】従来の製造方法を示す工程断面図(1)

【図3】従来の製造方法を示す工程断面図(2)

【符号の説明】

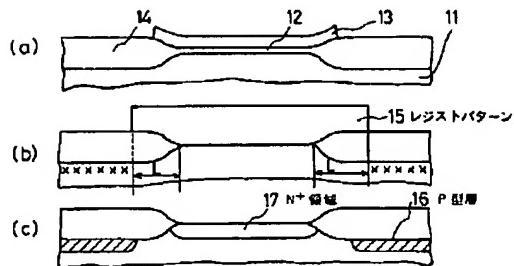
40	1, 11, 21	P型シリコン基板
	2, 12, 22	酸化膜
	3, 13, 23	シリコン塗化膜
	4	プラズマCVDシリコン塗化膜
	5, 14, 24	素子分離酸化膜
	6, 16, 26	濃いP型層
	7, 17, 25	N ⁺ 領域
	15	レジストパターン

【図1】



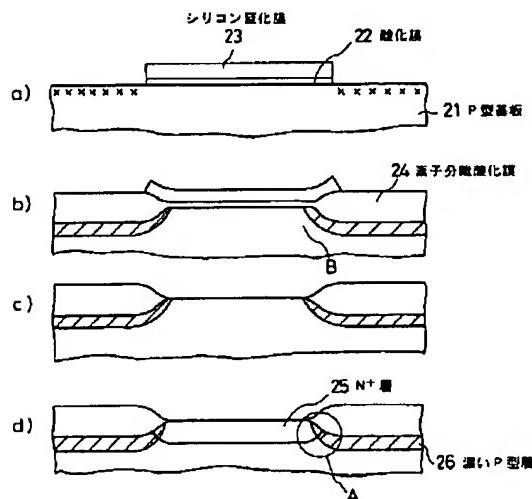
本発明の製造方法を示す工程断面図

【図2】



従来の製造方法を示す工程断面図(1)

【図3】



従来の製造方法を示す工程断面図(2)

フロントページの続き

(51)Int.CI.⁵
H 01 L 21/76識別記号 庁内整理番号
S 9169-4M

F I

技術表示箇所

PAT-NO: JP405283404A
DOCUMENT-IDENTIFIER: JP 05283404 A
TITLE: MANUFACTURE OF ELEMENT ISOLATION REGION
OF SEMICONDUCTOR
PUBN-DATE: October 29, 1993

INVENTOR-INFORMATION:

NAME
IDA, JIRO

ASSIGNEE-INFORMATION:

NAME OKI ELECTRIC IND CO LTD	COUNTRY N/A
---------------------------------	----------------

APPL-NO: JP04077062

APPL-DATE: March 31, 1992

INT-CL (IPC): H01L021/316, H01L021/266 , H01L021/318 ,
H01L021/76

US-CL-CURRENT: 438/439

ABSTRACT:

PURPOSE: To prevent a channel stopper layer under an element isolation film of a semiconductor device from diffusing into an element forming region, and form a mask for ion implantation to form the channel stopper layer in a self alignment manner.

CONSTITUTION: When the element isolation region of a semiconductor device is formed, a low stress silicon nitride film 4 is thickly deposited by a plasma CVD method, on a silicon nitride film 3 deposited by an LPCVD method, and an element isolation film 5 is formed by patterning and thermally oxidizing the silicon nitride film. Then channel stopper ions are implanted

through the
element isolation film 5 by using the thick silicon nitride film
as a mask.

COPYRIGHT: (C)1993, JPO&Japio